

SYSTEME DE PALPAGE A TRANSMISSION RADIO

ETUDE DU RECEPTEUR (MI16)

CORRIGE

Contenu du dossier :

Partie A : Etude fonctionnelle de la partie réception.	1
A.1 Principe de la mesure.	1
A.2 Signal émis.	1
A.3 Structure du récepteur.	1
Partie B : Le filtre ALC et le filtre 500/1000.	3
B.1 Etude préliminaire.	3
B.2 Etude du filtre ALC.	3
B.3 Etude du filtre 500/1000.	4
Partie C : Etude de la structure Led / Relay Driver.	8
C.1 Etude fonctionnelle.	8
C.2 Etude structurelle de la partie vue du primaire.	8
C.3 Formes d'onde et temps de réponse du relais.	15
Partie D : Etude de la carte MI 16 Front Panel.	16
D.1 Etude Fonctionnelle.	16
D.2 Etude des microcontrôleurs.	16
D.3 Etude structurelle de la carte MI16.	17
D.4 Etude du programme gérant l'affichage.	19
Partie E : Gain en puissance de l'amplificateur HF.	24
E.1 Notion de puissance incidente et de puissance réfléchi.	24
E.2 Paramètres S d'un quadripôle.	24
E.3 Identification de l'amplificateur RF.	24
E.4 Gain en puissance de l'amplificateur non adapté.	25
E.5 Gain en puissance de l'amplificateur adapté.	25
Partie F : Cellules d'adaptation.	28
F.1 L'outil « abaque de Smith ».	28
F.2 Adaptation à la sortie du filtre hélicoïdal L4.	28
F.3 Cellules d'adaptation de l'amplificateur RF.	29
Partie G : Circuit logique programmable.	31
G.1 Généralités.	31
G.2 Diviseur de fréquence.	31
G.3 Structure monostable.	31
G.4 Réception du mot de 8 bits transmis par l'émetteur.	32

Partie A : Etude fonctionnelle de la partie réception.

A.1 Principe de la mesure.

A.1.1 *Information transmise toutes les milli-secondes, donc une erreur possible maximale de 0,08 m/s .*
 $10^{-3} \text{ s} = 80 \cdot 10^{-6} \text{ m} = 80 \text{ } \mu\text{m}.$

A.1.2 *Cette fois la précision est 256 fois meilleure (2 puissance 8) soit :*
 $80 \cdot 10^{-6} / 256 \text{ m} = 0,3125 \text{ } \mu\text{m}.$

La précision de départ de la mesure est meilleure que le micron ce qui est satisfaisant car le cahier des charges impose une précision globale du micron.

A.2 Signal émis.

A.2.1 *Le signal à la sortie de l'émetteur est la somme des signaux suivants, le tout modulé à la fréquence de 433 Mhz :*

- *une sinusoïde à 100 Hz*
- *une sinusoïde à 500 Hz*
- *un signal binaire de fréquence 1000 Hz modulé en PSK*

69 canaux sont possible, allant de 433.075 Mhz à 434.8 Mhz par pas de 25 kHz

A.2.2 $f_{rx} = 433,075 \cdot 10^6 + (37 \cdot 25 \cdot 10^3) = 434 \text{ Mhz}$

A.3 Structure du récepteur.

A.3.1 *Le filtre centré sur 433 Mhz permet de ne sélectionner que la fréquence porteuse de 433 Mhz et non toutes les fréquences avoisinantes indésirables. Le filtre utilisé est un filtre hélicoïdal.*

A.3.2 *Le rôle de la partie Mixer est d'obtenir en sortie le même signal modulé sur une fréquence de 21.4 Mhz et non plus 433 Mhz. Nous réalisons une transposition de fréquence.*

Pour cela, nous multiplions le signal de fréquence 433 Mhz avec un signal issu d'un oscillateur local (VCO) de fréquence 412 Mhz.

$$a \cos w_1 t \cdot \cos w_2 t = \frac{a}{2} [\cos(w_1 + w_2)t + \cos(w_1 - w_2)t]$$

Nous obtenons donc un signal de $433 + 412 = 845 \text{ Mhz}$ et un signal de $433 - 412 = 21 \text{ Mhz}$.

Grâce au filtre de 21.4 Mhz, nous ne gardons que le signal de cette fréquence et nous ne tenons pas compte du signal à 845 Mhz.

A.3.3 *La fréquence image est le symétrique de la fréquence de réception par rapport à la fréquence de l'oscillateur local.*

$$f_{im} = f_{VCO} - f_{if} = 412 - 21.4 = 390.60 \text{ Mhz}$$

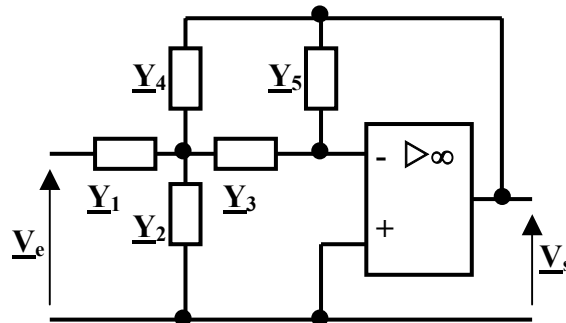
Cette fréquence ne peut pas être reçue puisque nous avons des filtres au préalable centrés sur 433 Mhz. Ce filtre de 433 Mhz doit fortement atténuer cette valeur.

- A.3.4** *Ce filtre nous permet, à l'issue de la transposition, de ne garder que la fréquence de 21 Mhz et de ne pas tenir compte de celle de 845 Mhz. Ce filtre, dénommé filtre cristal est en fait un filtre à quartz. Il est très stable, très précis et n'a que très peu de dérive en température.*
- A.3.5** *Ce circuit réalise une seconde transposition de fréquence pour ramener la fréquence de modulation à 455 khz.*
 $F_{01} = 20.945 \text{ Mhz}$
 $21.4 - 20.945 = 0.455 \text{ Mhz} = 455 \text{ khz.}$
Le filtre à quartz situé après ce mélangeur permet bien de ne garder que la fréquence de 455 khz ici. La valeur de la fréquence image est ici de $20.945 - 0.455 = 20.490 \text{ Mhz.}$
- A.3.6** *Il n'aurait pas été possible d'obtenir avec précision cette valeur de 455 kHz à partir du 433 Mhz directement et cette valeur de 455 khz permettra une bonne démodulation.*
- A.3.7** *Le choix du canal de réception se fera par la valeur exacte de la fréquence du VCO. Cette valeur de fréquence du VCO va dépendre de la tension appliquée aux bornes de la diode varicap. Cette tension sera issue du composant UMA1017 qui est un synthétiseur de fréquence programmable. Ce synthétiseur sera programmé par un PIC.*
Une diode varicap est un composant dont la valeur de la capacité varie en fonction de la tension inverse appliquée aux bornes de la diode : C diminue si V_{inv} augmente. Une diode varicap est une diode à capacité variable.

Partie B : Le filtre ALC et le filtre 500/1000.

B.1 Etude préliminaire

Soit la structure suivante :



Les Y sont des admittances.

B.1.1.1 C'est une structure de Rauch .

B.1.1.2 $v_+ = v_- = 0$

$$V_- = \frac{Y_5 V_s + Y_3 V_A}{Y_3 + Y_5} ; V_A = \frac{Y_1 V_e + V_s Y_4}{Y_1 + Y_2 + Y_3 + Y_4} \quad (\text{A est l'intersection de } Y_1, 2, 3 \text{ et } 4)$$

$$\frac{V_s}{V_e} = - \frac{Y_1 Y_3}{Y_3 Y_4 + Y_5 (Y_1 + Y_2 + Y_3 + Y_4)}$$

B.2 Etude du filtre ALC

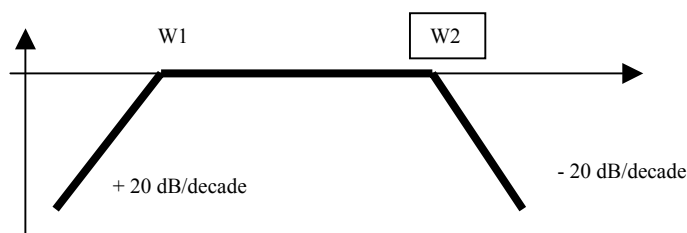
B.2.1.1 $v_+ = v_- = 0$

$$V_- = \frac{V_e + \frac{V_s}{Z_2}}{\frac{1}{Z_1} + \frac{1}{Z_2}} ; Z_1 = R_1 + \frac{1}{jC_1 \omega} ; Y_2 = \frac{1}{R_2} + jC_8 \omega$$

$$\frac{V_s}{V_e} = - \frac{jR_2 C_1 \omega}{(1 + jR_1 C_1 \omega)(1 + jR_2 C_8 \omega)} = - \frac{j \frac{\omega}{\omega_0}}{\left(1 + j \frac{\omega}{\omega_1}\right) \left(1 + j \frac{\omega}{\omega_2}\right)}$$

$$\omega_0 = \frac{1}{R_2 C_1} ; \omega_1 = \frac{1}{R_1 C_1} ; \omega_2 = \frac{1}{R_2 C_8}$$

$$\omega_0 = \omega_1 = 45 \text{ rd.s}^{-1} ; \omega_2 = 45 \text{ krd.s}^{-1}$$



C'est un filtre passe-bande du second ordre de 7 hz à 7 khz : laisse passer uniquement les fréquences 100, 500 et 1000 hz utiles du signal tout en éliminant le continu et les fréquences élevées.

B.2.2 *Etude de la structure réalisée autour du composant U1 (NE571).*

B.2.2.1 *C'est un compresseur/expandeur de dynamique .*

B.2.2.2 *Configuration en ALC (Automatic Level Control).*

La structure obtenue est le schéma de la note d'application figure 17 avec quelques différences de valeurs numériques pour les composants associés :

- $R_x = R_8 = 470 \text{ k}\Omega$
- C_4 vaut $2 \mu\text{F}$ et non pas $1 \mu\text{F}$
- R_6 et R_7 valent $18 \text{ k}\Omega$ et non pas $33 \text{ k}\Omega$
- C_{10} vaut $1 \mu\text{F}$ et non pas 10
- C_9 vaut 33 pF et non pas 30

$$\text{B.2.2.3 } V_{out} = \frac{R_1 R_2}{2 R_3} I_b \frac{V_{in}}{V_{inavg}} .$$

$$\text{B.2.2.4 } \frac{V_{in}}{V_{inavg}} = 1.11 \text{ si l'on considère que l'entrée est sinusoïdale}$$

$$I_b = 140 \mu\text{A} \text{ donc } V_s = 0.77 \text{ V (gain } \approx 0\text{dB)}$$

B.2.2.5 R_8 sert à avoir un gain maximum pour les très faibles entrées .

B.2.3 *C'est une structure de Rauch.*

$$\frac{V_s}{V_e} = - \frac{\frac{1}{R_3} + \frac{1}{R_4}}{\frac{1}{R_4} \frac{1}{R_5} + jC_7 \omega \left(\frac{1}{R_3} + jC_6 \omega + \frac{1}{R_4} + \frac{1}{R_5} \right)} = - \frac{R_5}{R_3} \frac{1}{\left(1 + jC_7 \omega \left(R_4 + R_5 + \frac{R_4 R_5}{R_3} \right) + j^2 R_4 R_5 C_6 C_7 \omega^2 \right)}$$

$$\omega_0^2 = \frac{1}{R_4 R_5 C_6 C_7} ; \omega_0 = 37037 \text{ rad.s}^{-1} ; f_0 = 5.9 \text{ khz}$$

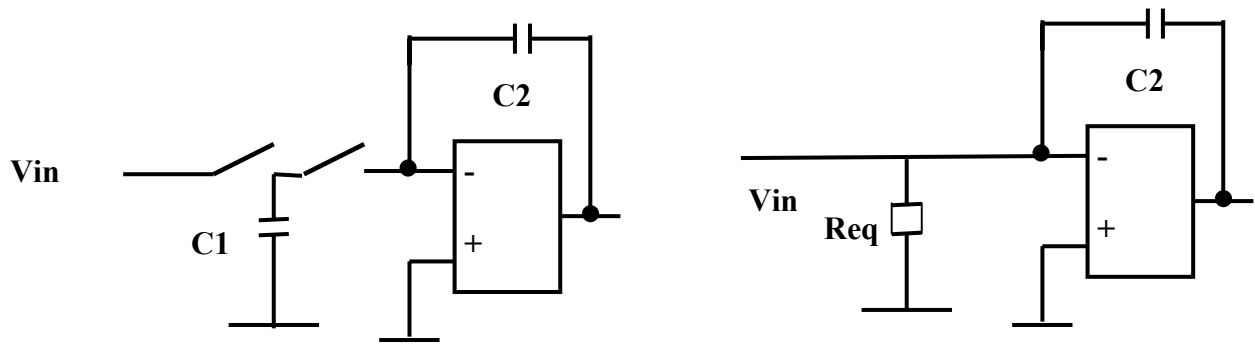
C'est un filtre passe-bas du second ordre qui élimine les bruits et les harmoniques en sortie du NE571.

B.3 Etude du filtre 500/1000.

B.3.1 *Le MF10 est un filtre programmable à capacités commutées.*

B.3.2 *Les deux interrupteurs se ferment en alternance à la fréquence fclock et la charge du condensateur C1 se rapporte entièrement vers le condensateur C2.*

$$I = \frac{\Delta Q}{\Delta t} = \frac{V_{in} C_1}{T} = V_{in} C_1 f_{horloge} ; Requ = \frac{V_{in}}{I} = \frac{1}{C_1 f}$$

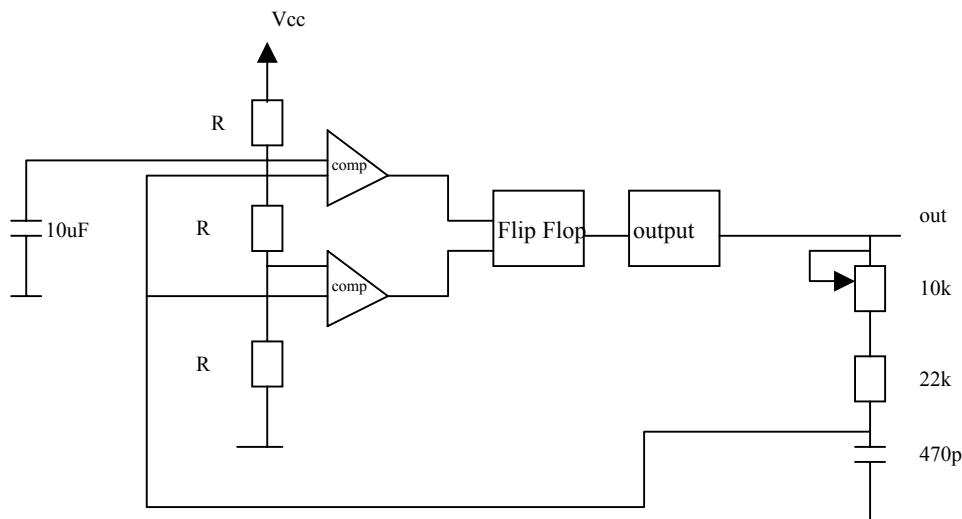


$$v_0(t) = -\frac{1}{R_{eq}C_2} \int V_{in}(t) dt ; \text{ Ceci permet une intégration plus facile (C1 au lieu de R)}$$

B.3.3 Etude du TLC555

B.3.3.1 Le rôle de ce composant est de générer une horloge servant aux MF10 .

B.3.3.2 Schéma équivalent de la structure :



Attention, la structure utilisée ici n'est pas la structure classique du circuit 555. D'où la nécessité de redessiner le schéma équivalent.

Les deux seuils de comparaison de la tension V_c aux bornes du condensateur sont $1/3.V_{cc}$ et $2/3.V_{cc}$.

Après calculs, nous trouvons les équations de charge et de décharge suivantes :

$$V_c(t) = V_{cc} - \frac{2}{3}V_{cc}.e^{-\frac{t}{\tau}} \text{ avec } \tau = (R_9 + R_{10}).C_{17} ; \text{ équation de charge}$$

$$V_c(t) = \frac{2}{3}V_{cc}.e^{-\frac{t}{\tau}} \text{ avec } \tau = (R_9 + R_{10}) .C_{17} ; \text{ équation de décharge}$$

La charge s'effectue de $1/3.V_{cc}$ à $2/3.V_{cc}$, d'où $t_{charge} = \tau.C_{17} .\ln 2$

La décharge s'effectue de $2/3.V_{cc}$ à $1/3.V_{cc}$, d'où $t_{décharge} = \tau.C_{17}.\ln 2$

$$T = 2 .\tau .\ln 2 ; (R_9 + R_{10})_{\text{mini}} = 22k\Omega ; (R_9 + R_{10})_{\text{maxi}} = 32k\Omega$$

$$T_{\max} = 20.8\mu\text{s} \quad \text{donc } f_{\min} = 48\text{kHz}$$

$$T_{\min} = 14.3\mu\text{s} \quad \text{donc } f_{\max} = 70\text{kHz}$$

B.3.3.3 *Le mode d'utilisation de ce composant n'est pas l'application classique proposée par le constructeur. Le fréquence obtenue est conforme à celle pouvant être utilisée par les MF10 ($f_{\max} = 2\text{Mhz}$)*

B.3.4 *Etude des structures incluant U4 et U5.*

B.3.4.1 *En faisant l'identification structurelle entre le schéma proposé et la documentation du MF10, nous trouvons que nous sommes en mode 1, sortie BP, pour les deux parties. (figure 7 page 15 de la doc)*

B.3.4.2 *La première partie est en mode 1, sortie BP, la broche 12 est reliée à 0 donc le ratio de fréquence est de 100.*

$$f_0 = \frac{f_{clk}}{100}; \text{ avec } f_{clk} \text{ pouvant aller de } 48 \text{ à } 69 \text{ kHz. ; le réglage de la résistance R10}$$

permettant de positionner f_0 à 500 Hz.

La seconde partie est réalisée exactement de la même façon. Nous avons donc deux filtres passe-bande d'ordre 2 en cascade ce qui nous donne un filtre passe-bande d'ordre 4.

La fonction de transfert de ce filtre du quatrième ordre est donc :

$$H_{BP}(s) = \frac{H_{oBP}^2 \cdot \omega_0^2 \cdot s^2}{\left(s^2 + \frac{s \cdot \omega_0}{Q} + \omega_0^2\right)^2}; \quad H_{oBP} = -\frac{R3}{R1} = -1.22 \quad \text{donc } H_{oBP}^2 = 1.48 \approx 1.5;$$

$f_0 = 500\text{Hz}$; *cette structure permet de récupérer la fréquence de 500 Hz.*

B.3.4.3 *En faisant l'identification structurelle entre le schéma proposé et la documentation du MF10, nous trouvons que nous sommes en mode 3, sortie HP, pour les deux parties. (figure 7 page 16 de la doc)*

B.3.4.4 *La première partie est en mode 3, sortie HP, la broche 12 est reliée à 0 donc la fréquence*

$$f_0 = \frac{f_{clk}}{100} \sqrt{\frac{R2}{R4}}; \text{ avec } f_{clk} \text{ pouvant aller de } 48 \text{ à } 69 \text{ kHz. ; le réglage de la résistance R10}$$

permettant de positionner f_0 à 908 Hz (si $f_{clk} = 50\text{kHz}$)

La seconde partie est réalisée exactement de la même façon. Nous avons donc deux filtres passe-haut d'ordre 2 en cascade ce qui nous donne un filtre passe-haut d'ordre 4.

La fonction de transfert de ce filtre du quatrième ordre est donc :

$$H_{HP}(s) = \frac{H_{oHP}^2 \cdot s^4}{\left(s^2 + \frac{s \cdot \omega_0}{Q} + \omega_0^2\right)^2}; \quad H_{oHP} = -\frac{R2}{R1} = 1$$

Nous sommes donc en présence d'un filtre passe-haut qui va laisser passer les fréquences supérieures à 908 hz, ce qui va permettre de récupérer la fréquence de 1000 hz.

B.3.5 Etude des structures réalisées autour de U2 et U6.

B.3.5.1 C'est une structure de Rauch.

$$R_{18} = R_{19} = R_{29} = R = 470\text{k}\Omega ; C_{22} = C_{23} = C_{24} = C = 470\text{pF}$$

$$\frac{V_s}{V_e} = - \frac{\frac{1}{R} \cdot \frac{1}{R}}{\frac{1}{R} \cdot \frac{1}{R} + jC\omega \left(\frac{1}{R} + 2jC\omega + \frac{1}{R} + \frac{1}{R} \right)} = - \frac{1}{1 + jRC\omega(3 + 2jRC\omega)}$$

$$\frac{V_s}{V_e} = - \frac{1}{1 + 3jRC\omega + 2j^2R^2C^2\omega^2}$$

Il s'agit d'un filtre passe-bas du second ordre de fréquence $f_0 = \frac{1}{2\pi\sqrt{2R^2C^2}} = 509.45\text{hz}$

Nous aurons donc bien isolé la fréquence de 500 hz

B.3.5.2 C'est une structure de Rauch.

$$R_{28} = R_{30} = R = 470\text{k}\Omega ; C_{25} = 10.C_{26} = 10.C ; C = 47\text{pF}$$

$$\frac{V_s}{V_e} = - \frac{\frac{1}{R} \cdot \frac{1}{R_{29}}}{\frac{1}{R_{29}} \cdot \frac{1}{R} + jC\omega \left(\frac{1}{R} + 10jC\omega + \frac{1}{R_{29}} + \frac{1}{R} \right)}$$

$$\frac{V_s}{V_e} = - \frac{1}{1 + jC\omega(R_{29} + 10jRR_{29}C\omega + R + R_{29})} = - \frac{1}{1 + j(R + 2R_{29})C\omega + 10j^2RR_{29}C^2\omega^2}$$

$$\omega_0^2 = \frac{1}{10RR_{29}C^2} ; f_0 = 2719 \text{ hz}$$

Il s'agit d'un filtre passe-bas du second degré de fréquence 2719 hz , il laissera donc bien passer les 1 khz.

Partie C : Etude de la structure Led / Relay Driver.

C.1 Etude fonctionnelle.

C.1.1 Cette structure est une interface palpeur/opérateur qui va permettre à partir d'informations binaires d'aller afficher les différents états du système .

C.1.2 Le composant U16 est un MC1413 qui est un amplificateur inverseur en courant qui permet une adaptation des niveaux logiques en sortie. Il commande entre autres ici des relais.

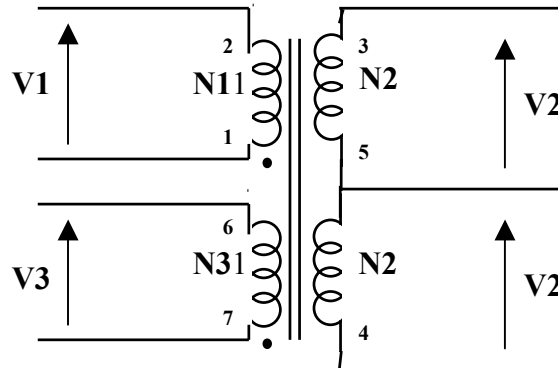
Ses entrées viennent du circuit FPGA qui réalise la fonction principale Fp4. Le circuit FPGA n'aurait pas pu délivrer en courant les valeurs nécessaires pour commander par exemple des lampes.

Il est nécessaire également pour l'adaptation 5V/15V.

C.1.3 Ces sorties commandent des diodes électroluminescentes . Il faudra donc au minimum 10mA en sortie. Isolation galvanique.

C.1.4 Ce composant s'appelle une varistance : c'est un élément non linéaire dont la résistance équivalente varie en fonction de la tension appliquée à ses bornes. Ses principales caractéristiques sont la tension d'écrêtage (ici 26V) et son courant crête admissible. Elle sert ici à limiter la tension de sortie à 26V .

C.2 Etude structurelle de la partie vue du primaire.



Condition de fonctionnement donnée par le constructeur : $L_{1,2} = 1,9\mu\text{H}$ pour $f = 7 \text{ Mhz}$

C.2.1 Signal LEDTRIG

Le signal LEDTRIG est un signal de sortie à collecteur ouvert. Il peut prendre deux états :

- $I_{\text{ledtrig}} = 0 \text{ mA}$ (état 0)
- $I_{\text{ledtrig}} = 500 \text{ mA}$ (état 1)

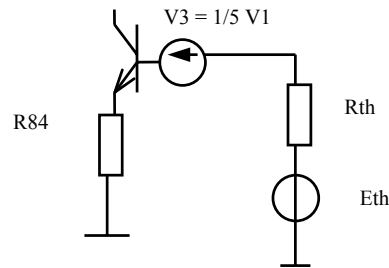
C.2.2 LEDTRIG = 1

Le transistor Q2 est un transistor PNP. Si LEDTRIG = 1 alors il sera bloqué.

Le schéma équivalent est alors le suivant :

$V1 = 0$ donc $V3 = 0$;

$$E_{th} = 15 \cdot \frac{2.7}{12 + 2.7} = 2.75V ; R_{th} = \frac{12 \cdot 2.7}{12 + 2.7} = 2.2k\Omega$$

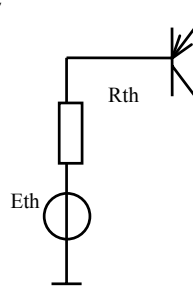


$$V_{be} + R_{84} \cdot i_{b3} = E_{th} - R_{th} \cdot i_{b3} ; i_{b3} = \frac{E_{th} - V_{be}}{R_{84} + R_{th}} = 0.85mA$$

C.2.3 LEDTRIG = 0

C.2.3.1 Q2 va devenir soit passant, soit saturé. Nous allons définir les conditions de saturation :

Schéma équivalent :



$$R_{th} = \frac{10 \cdot 2.7}{10 + 2.7} = 2.125k\Omega ; R_{th} = \frac{15 \cdot 10}{12.7} = 11.8V$$

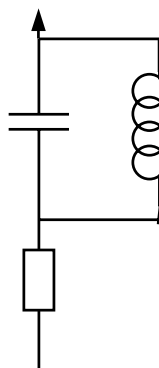
$$\text{Loi des mailles : } 15 = 11.8 + R \cdot i_b + 0.6 ; i_b = \frac{15 - 11.8 - 0.6}{R} = 1.22mA$$

$$\text{Ici } 125 < \beta < 900 ; Q2 \text{ sera saturé si } i_{c2} < i_{b2} \cdot \beta_{min} = 152 \text{ mA}$$

C.2.3.2

C.2.3.2.1 Q3 est "saturé"

Schéma équivalent :



Nous poserons $V = V1$.

La tension d'alimentation = $15 - 2 \cdot V_{ce} = 14.6V$

$$V_e = U_r + U$$

$$\frac{dUr}{dt} + \frac{dU}{dt} = \frac{dVe}{dt} = 0 ; \frac{dU}{dt} = -\frac{dUr}{dt}$$

$$\frac{dUr}{dt} = R \frac{di}{dt} = R \left(\frac{dil}{dt} + \frac{dic}{dt} \right) = \frac{R}{L} u(t) + RC \frac{d^2u}{dt^2}$$

$$RC \frac{d^2u}{dt^2} - \frac{dUr}{dt} + \frac{R}{L} u(t) = 0$$

$$\frac{d^2u}{dt^2} + \frac{1}{RC} \frac{du}{dt} + \frac{1}{LC} u = 0$$

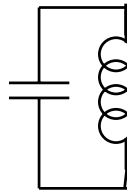
avec l'équation caractéristique, on trouve $\Delta = \left(\frac{1}{RC} \right)^2 - \frac{4}{LC} = -1.4 \cdot 10^{-6}$

donc $u(t) = e^{at} (C1 \cdot \cos w_0 t + C2 \cdot \sin w_0 t)$; avec $a = -\frac{1}{2RC} = -10^7$ et $w_0 = \frac{1}{\sqrt{LC}}$

$$u(t) = e^{-10^7 t} (C1 \cos w_0 t + C2 \sin w_0 t)$$

C.2.3.2.2 Q3 est "bloqué"

Schéma équivalent :

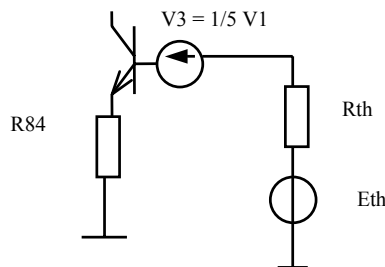


Nous avons un circuit oscillant avec L et C .

$$\frac{d^2u}{dt^2} + \frac{1}{LC} u = 0 ; u(t) = A \cos w_0 t + B \sin w_0 t \text{ avec } w_0 = \frac{1}{\sqrt{LC}}$$

C.2.3.2.3 Q3 fonctionne en linéaire

Schéma équivalent :



$$R84i + Vbe = \frac{1}{5} u + Eth - Rth \frac{i}{\beta}$$

$$\left(R84 + \frac{Rth}{\beta} \right) i = \frac{1}{5} u + Eth - Vbe$$

en dérivant : $\left(R84 + \frac{Rth}{\beta} \right) \frac{di}{dt} = \frac{1}{5} \frac{du}{dt}$

$$\frac{du}{dt} = 5 \left(R84 + \frac{Rth}{\beta} \right) \frac{di}{dt} ; \text{ application numérique : } \frac{du}{dt} = 1700 \frac{di}{dt}$$

$$\text{or } \frac{di}{dt} = \frac{dil}{dt} + \frac{dic}{dt} = \frac{u}{L} + \frac{d^2u}{dt^2}$$

$$\frac{du}{dt} = 1700 \left(\frac{u}{L} + C \frac{d^2u}{dt^2} \right)$$

$$\frac{d^2u}{dt^2} - \frac{1}{1700C} \frac{du}{dt} + \frac{u}{LC} = 0$$

solution de cette équation puisque $\Delta < 0$: $u(t) = e^{at} (C1 \cos w_0 t + C2 \sin w_0 t)$

$$\text{avec } w_0 = \frac{1}{\sqrt{LC}}, \quad a = \frac{-b}{2a} = 1.96 \cdot 10^6$$

$$\text{donc } u(t) = e^{2 \cdot 10^6 t} (C1 \cos w_0 t + C2 \sin w_0 t)$$

Résumé :

$$\text{Si Q3 est saturé : } u(t) = e^{-10^7 t} (C1 \cos w_0 t + C2 \sin w_0 t) \quad \text{avec } w_0 = \frac{1}{\sqrt{LC}}$$

$$\text{Si Q3 est bloqué : } u(t) = A \cos w_0 t + B \sin w_0 t \quad \text{avec } w_0 = \frac{1}{\sqrt{LC}}$$

$$\text{Si Q3 est linéaire : } u(t) = e^{2 \cdot 10^6 t} (C1 \cos w_0 t + C2 \sin w_0 t) \quad \text{avec } w_0 = \frac{1}{\sqrt{LC}}$$

C.2.4 Analyse des simulations.

C.2.4.1 Simulation globale.

Voir document réponse DR4

C.2.4.2 Etude de la phase transitoire.

C.2.4.2.1 Voir document réponse DR4.

C.2.4.2.2 Etude de la première sous-phase.

C.2.4.2.2.1 D'après le graphe, Q3 est saturé puisque $V_{ce} = 0V$.

C.2.4.2.2.2 Nous posons $u(t) = u_1(t)$

$$u(t) = e^{-10^7 t} (C1 \cos w_0 t + C2 \sin w_0 t) \quad \text{avec } w_0 = \frac{1}{\sqrt{LC}}$$

- à $t = 0$, $u(t) = 0$

$$u(0) = e^0 (C1 \cos 0 + C2 \sin 0); \quad u(0) = C1 = 0$$

- au départ, $i_L = 0$

$$i(0) = \frac{U_r(0)}{R} = \frac{V_e}{R}; \quad \text{donc } i_c(0) = i - i_L = \frac{V_e}{R} - 0 = \frac{V_e}{R}$$

$$i_c(0) = C \frac{du(0)}{dt} \quad \text{or } u(t) = e^{at} C2 \sin w_0 t$$

$$\text{donc } \frac{du(t)}{dt} = C2 (a e^{at} \sin w_0 t + e^{at} w_0 \cos w_0 t) = C2 e^{at} (a \sin w_0 t + w_0 \cos w_0 t)$$

$$\frac{du(0)}{dt} = \frac{i_c(0)}{C} = \frac{Ve}{RC} = C2\omega_0 \text{ donc } C2 = \frac{Ve}{RC\omega_0} = \frac{Ve}{R} \sqrt{\frac{L}{C}} ; \text{A.N. : } C2 = 5$$

$$u(t) = 5e^{-10^7 t} \sin \omega_0 t$$

C.2.4.2.2.3 D'après les graphes, il y a changement d'état lorsque $u(t)$ passe à peu près par 0 la seconde fois.

$$u(t) = 5e^{-10^7 t} \sin \omega_0 t = 0 ; \sin \omega_0 t = 0 ; \omega_0 t = 2\pi ; t = \frac{2\pi}{\omega_0} ; t = 0.14\mu\text{s}$$

La simulation confirme bien cette valeur.

$$U_r(t) = R i(t) ; U_r(t) = Ve - u(t) ; i(t) = \frac{Ve - u(t)}{R}$$

$$i_{\max} = \frac{14.6}{R} = \frac{14.6}{330} = 44\text{mA} ; i(0.14\mu\text{s}) = 44\text{mA} \text{ également : valeur à peu près vérifiée sur la simulation.}$$

C.2.4.2.3 Etude de la seconde sous-phase.

C.2.4.2.3.1 Q3 fonctionne ici en régime linéaire.

$$\text{C.2.4.2.3.2 } u(t) = e^{2 \cdot 10^6 t} (C1 \cos \omega_0 t + C2 \sin \omega_0 t) \text{ avec } \omega_0 = \frac{1}{\sqrt{LC}}$$

$$\text{à } t = 0, u(t) = 0 \text{ donc } C1 = 0$$

$$\text{donc } u(t) = e^{2 \cdot 10^6 t} C2 \sin \omega_0 t$$

La forme de $u(t)$ sur le graphe confirme bien cette équation.

C.2.4.2.3.3 L'événement qui fait penser à un changement d'état du transistor est le passage par 0 de V_{ce} : lorsque V_{ce} passe par 0 alors le transistor passe à l'état bloqué.

D'après le graphe, cela se passe aux environs de $4.5\mu\text{s}$ soit $2.5\mu\text{s}$ après le passage de 1 à 0 du signal LEDTRIG.

C.2.4.3 Etude de la phase entretenue.

C.2.4.3.1 Délimitation des chronogrammes pour la phase entretenue :

- transistor saturé lorsque $V_{ce} = 0\text{V}$
- transistor bloqué lorsque $i_{R84} \approx 0\text{A}$
- sinon transistor en linéaire

Chronologiquement, le transistor est saturé, puis linéaire, puis bloqué, ceci de façon répétée.

C.2.4.3.2 Déterminer, par le calcul, les valeurs de $V1$ à chaque changement d'état de Q3.

a. limite linéaire/bloqué

puisque'il y a blocage : $i_{R84} = 0$ donc à partir de l'équation en linéaire suivante :

$$R84 * i + Vbe = \frac{u}{5} - Rth \frac{i}{\beta} + Eth, \text{ si } i=0 \text{ alors nous obtenons :}$$

$$Vbe = \frac{u}{5} + Eth ; u = 5(Vbe - Eth) ; u = -10.75V \text{ avec } i = 0$$

Nous remarquons sur le graphe que $u < -10.75V$

b. limite bloqué/saturé

à la fin du blocage, $i = 0$, que vaut u ?

$$\text{équation de saturation : } 14.6 - R84 * i = u(0) \text{ donc } u = 14.6V$$

ceci correspond bien au graphe.

c. limite saturé/linéaire

$$\text{fonctionnement en linéaire : } R84i + Vbe = \frac{u}{5} - Rth \frac{i}{\beta} + Eth$$

$$\text{fonctionnement en saturé : } Ve = Ur + u = \frac{R84}{i} + u \text{ donc } u = Ve - R84.i \text{ et}$$

$$R84.i = Ve - u$$

$$\text{d'où } R84.i + Vbe = \frac{Ve - R.i}{5} - Rth \frac{i}{\beta} + Eth$$

$$i \left(R84 + \frac{R84}{5} + \frac{Rth}{\beta} \right) = \frac{Ve}{5} + Eth - Vbe$$

$$\text{application numérique : } i \left(330 + \frac{330}{5} + \frac{2.2 \cdot 10^3}{125} \right) = \frac{14.6}{5} + 2.75 - 0.6$$

$$i = 12.25mA$$

en reprenant l'équation en linéaire et en remplaçant i par sa valeur donnée par l'équation donnée en saturé :

$$Ve - u + Vbe = \frac{u}{5} - \frac{Rth}{\beta} \left(\frac{Ve - u}{R84} \right) + Eth$$

$$u \left(\frac{1}{5} + 1 + \frac{Rth}{\beta \cdot R84} \right) = Ve + Vbe + \frac{Rth \cdot Ve}{\beta \cdot R84} - Eth$$

$$u = 10.55V$$

donc $i = 12.25mA$ et $u = 10.55V$.

Remarque : ces valeurs apparaissent bien sur les graphes mais elles ne sont pas exactement là où on les attendait, il y a des petits décalages.

C.2.4.3.3 a. Q3 saturé.

$$u(t) = e^{-10^7 t} (C1 \cos w0t + C2 \sin w0t)$$

au début de la saturation, $u = 14.6V$ et $i = 0$

$$u(0) = C1 = 14.6$$

$$\frac{du(t)}{dt} = -10^7 \cdot e^{-10^7 t} (C1 \cos w0t + C2 \sin w0t) + e^{-10^7 t} [-C1 w0 \sin w0t + C2 w0 \cos w0t]$$

$$i_c(0) = 0 = C \frac{du(0)}{dt} = C [(-10^7 C1) + (C2 w0)]$$

$$C2\omega_0 = C1.10^7 ; C2 = \frac{14.6.10^7}{2\pi.7.10^6} = 3.31$$

donc $u(t) = e^{-10^7 t} (14.6 \cos \omega_0 t + 3.31 \sin \omega_0 t)$

b. Q3 linéaire.

$$u(t) = e^{2.10^6 t} (C1 \cos \omega_0 t + C2 \sin \omega_0 t)$$

au début de la phase linéaire, u = 10.55V donc $u(0) = C1 = 10.55$

$$i_c(0) \approx 100 \text{ mA}$$

$$i_c = C \frac{du}{dt} = C \left[2.10^6 . e^{2.10^6 t} (C1 \cos \omega_0 t + C2 \sin \omega_0 t) \right] + e^{2.10^6 t} (-C1\omega_0 \sin \omega_0 t + C2\omega_0 \cos \omega_0 t)$$

$$i_c(0) = C(2.10^6 C1 + C2\omega_0) ; C2 = \frac{i_c(0)}{C.\omega_0} - \frac{C1.2.10^6}{\omega_0} ; C2 = 14.67$$

donc $u(t) = e^{2.10^6 t} (10.55 \cos \omega_0 t + 14.67 \sin \omega_0 t)$

c. Q3 bloqué.

$$u(t) = A \cos \omega_0 t + B \sin \omega_0 t$$

$$i(0) = 0 ; u = -10.75V$$

$$u(0) = A = -10.75$$

$$i_c(0) = 0 ; C \frac{du(0)}{dt} = 0 ; \frac{du}{dt} = -A\omega_0 \sin \omega_0 t + B\omega_0 \cos \omega_0 t ; \frac{du(0)}{dt} = B = 0$$

donc $u(t) = -10.75 \cos \omega_0 t$

C.2.5 Synthèse

Lorsque le signal d'entrée vaut 1, le transistor Q2 est bloqué et le courant circulant dans R84 vaut 0.85mA. La tension aux bornes de l'enroulement du primaire est nulle.

Lorsque le signal d'entrée vaut 0, nous avons démontré que Q2 devenait saturé. D'après les simulations, pour le signal u(t) aux bornes de l'enroulement du primaire, nous pouvons observer deux phases : une phase transitoire et une phase entretenue.

La phase transitoire nous fait apparaître deux sous-phases.

Pendant la première sous-phase, Vce = 0 donc Q3 est saturé, l'équation régissant u(t) est la suivante : $u(t) = 5e^{-10^7 t} \sin \omega_0 t$. Cette phase dure 0.14µs.

Pendant la seconde sous-phase, Vce > 0 donc Q3 fonctionne en linéaire.

L'équation est de la forme : $u(t) = e^{2.10^6 t} C2 \sin \omega_0 t$

Nous sortirons de cette sous-phase lorsque Vce passera par 0, le transistor sera alors bloqué. Cet état est rencontré 2.5µs après le passage de 1 à 0 de LEDTRIG.

Nous sommes donc dans la phase entretenue.

Pendant cette phase entretenue, Q3 passe successivement par les états saturé, linéaire, bloqué puis à nouveau saturé.... L'équation de u(t) obtenue prend donc les formes suivantes :

- si Q3 est saturé : $u(t) = e^{-10^7 t} (14.6 \cos w_0 t + 3.31 \sin w_0 t)$
- si Q3 est linéaire : $u(t) = e^{2 \cdot 10^6 t} (10.55 \cos w_0 t + 14.67 \sin w_0 t)$
- si Q3 est bloqué : $u(t) = -10.75 \cos w_0 t$

C.3 Formes d'onde et temps de réponse du relais.

C.3.1 Formes d'onde.

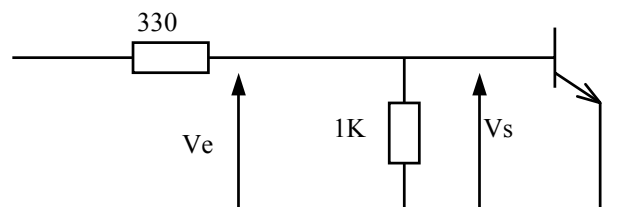
Voir document réponse DR5.

C.3.2 Temps de réponse.

C.3.2.1 Le temps de réponse doit être inférieur à $1 \mu s$.

C.3.2.2 Les relais utilisés pour ces sorties ont un temps de réponse supérieur à $1 ms$ donc ne correspond pas au cahier des charges.

C.3.2.3 Schéma équivalent :



Pour que le BC850 (Q4) soit passant, il faut que $V_{be} > 0.6V$

$$V_s = \frac{1}{1.33} V_e \text{ donc } V_e = 1.33 V_s ; V_e = 1.33 \cdot 0.6 = 0.798V$$

Tension de seuil de la 1SS355 : $U_f = 0.714V$ pour $I_f = 1mA$
 $0.798 + 0.715 = 1.513V$; Il faut donc que u_2 atteigne $1.513V$

$$u_1(t) = 5e^{-10^7 t} \sin w_0 t \text{ à la mise sous tension.}$$

$$\text{Rapport de transformation : } m = \frac{u_2}{u_1} = \frac{N_2}{N_1} = \frac{6}{10}$$

$$\text{Donc } u_2(t) = 3e^{-10^7 t} \sin w_0 t ; e^{-10^7 t} \sin w_0 t = \frac{1.513}{3} = 0.504$$

Si on suppose que $e^{-10^7 t} \approx 0$ alors $t = 0.013 \mu s$

Nous savons que cette phase dure $0.14 \mu s$ environ donc $t < 0.14 \mu s$.

Le temps de réponse max de la 1SS355 = $4ns$

C.3.2.4 Nous avons besoin de ces 2 transistors et de ces 2 diodes de façon à ce que le courant puisse circuler dans les 2 sens en sortie..

Partie D : Etude de la carte MI 16 Front Panel.

D.1 Etude Fonctionnelle.

D.1.1 Les fonctions principales concernées par cette carte sont FP5 et FP6. Voir DR1 à DR3.

D.1.2 Voir DR1 à DR3.

D.1.3 Le microcontrôleur U1 doit envoyer au synthétiseur les valeurs lui permettant de réaliser correctement la structure de PLL. Il doit également gérer la programmation de la sonde en fonction de ce qu'il reçoit et de ce qu'il va émettre (en relation avec le FPGA) . Il gère aussi les données qui seront analysées par U4 pour commander l'affichage.

D.1.4 Ce microcontrôleur est affecté à l'affichage. Il gère l'affichage multiplexé de tous les afficheurs de l'O.T. . Il remplace une structure devenue obsolète.

D.2 Etude des microcontrôleurs.

D.2.1 Le PIC 16F870 est un microcontrôleur de type RISC : *Reduced Instruction Set Computer*. Il existe également des microcontrôleurs de type CISC : *Complex Instruction Set Computer*, DSP : *Digital Signal Processor* qui sont des processeurs spécialisés, des microcontrôleurs à usage courant : 8051, 68HC11 ..et des microprocesseurs à usage courant : 6809, 68000, Pentium... .

D.2.2 Les caractéristiques principales de ce circuit sont les suivantes :

- Nombre réduit d'instructions (35)
- Modes d'adressage multiples
- 10 sources d'interruptions possibles
- Micro de 8 bits de données
- 3 timers
- 1 module PWM
- CAN 10 bits
- Interface de communication série
- 3 ports d'E/S

D.2.3 Il est possible d'interfacer une mémoire car les ports d'entrées/sorties sont disponibles sur les broches, ce qui n'est pas le cas de tous les PICs .

D.2.4 Avantages :

- faible coût
- faible consommation
- programmation et développement facile

Inconvénients : - applications peu gourmandes en programme (limite de la taille mémoire)
Ce composant a été utilisé pour remplacer un composant devenu obsolète (pour U4).

Il a été choisi car les limites du composant n'étaient pas atteintes dans notre application.

Autres possibilités : - utiliser un FPGA plus gros qui engloberait les fonctions des PICs.

- utiliser un microcontrôleur plus puissant en intégrant le FPGA , les 2 PICs ce qui nécessiterait beaucoup d'E/S.

D.3 Etude structurelle de la carte MI16.

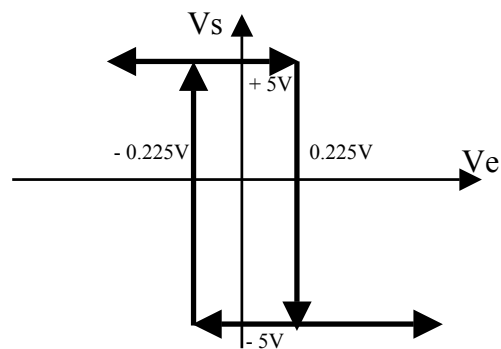
D.3.1 Etude de la fonction contrôle du système, partie réception série optique (Fp6) .

D.3.1.1 $\frac{V_s}{V_e} = 22.3$. C'est un amplificateur non inverseur.

D.3.1.2 Cette structure est un comparateur à double seuil. Nous supposons $V_{RA0} = 0$.

Les deux tensions de seuil sont alors $0.225V$ et $-0.225V$. ($V_+ = \frac{R_8}{R_7 + R_8} \cdot V_s$).

Le cycle d'hystérésis est le suivant :



D.3.1.3 D1 est une diode Schottky . Elle limite la tension à une tension positive pour l'entrée RB4. Elle permet une commutation rapide.

D.3.2 Etude de la partie affichage (Fp5).

D.3.2.1 Il s'agit d'un affichage multiplexé.

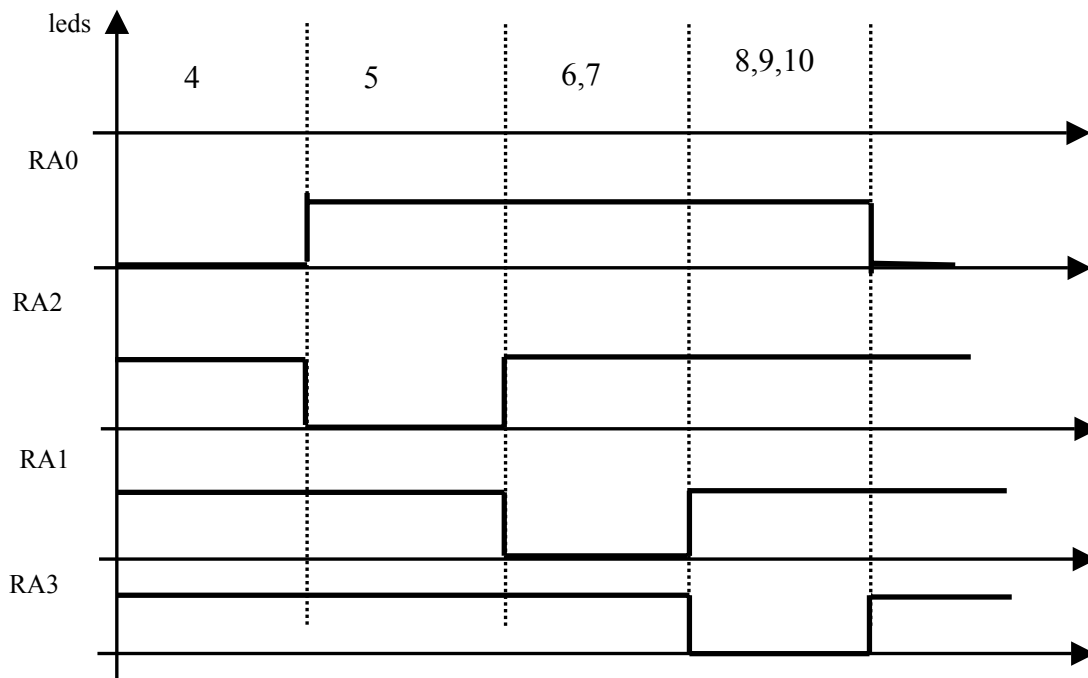
D.3.2.2 Mode de fonctionnement : tous les afficheurs ne sont pas alimentés en même temps.

Lorsqu'il faut gérer plusieurs afficheurs , il peut y avoir plusieurs solutions :

- gérer chaque afficheur indépendamment , ce qui nécessite un circuit de décodage par afficheur
- gérer tous les afficheurs à l'aide d'un seul circuit : ceci réalise une économie de place et de liaisons. Inconvénient : il faudra gérer la période de façon à avoir l'impression que tous les afficheurs sont allumés en même temps, il y aura moins de luminosité et le circuit de décodage sera plus complexe.

D.3.2.3 Dans la structure proposée, il faut gérer 4 groupes d'affichage en simultané. En fonction des entrées ENA, DAA, CKA et CLK, sur le port C du 16F870 apparaissent les valeurs à afficher (commande d'1 afficheur à 7 segments). Le port A sert à sélectionner quel afficheur doit être validé et à quel moment. Q2, Q3, Q4 et Q5 sont des transistors PNP, pour que l'afficheur soit sélectionné, il faut lui attribuer un 0.

D.3.2.4 .



D.3.2.5 R12 à R19 servent à limiter le courant dans les diodes.

Pour qu'une LED soit allumée, il faut que la tension de sortie du PIC soit au niveau 1 .

$$V_{oh} = R \cdot I_{oh} + V_d + V_{cesat} ; R1_{max} = \frac{V_{oh\ max} - V_d - V_{cesat}}{I_{oh\ min}} = \frac{5 - 1.2 - 0}{3 \cdot 10^{-3}} = 1266 \Omega ;$$

La valeur choisie est de 330Ω ce qui convient.

D.3.2.6 Le microcontrôleur U4 remplace le composant MC14499 puisque ce composant est devenu obsolète.

D.3.2.6.1 - Segments outputs : RCx (Port C)

- Character selectors : Port A
- Data = DAA
- $\overline{ENB} = \overline{ENA}$
- CLK = CKA
- OSC = CLK

D.3.2.6.2 Lorsque l'on utilise les points décimaux, nous devons envoyer 20 bits :

- les 4 premiers : points décimaux des digits 1,2,3,4
- les 4 suivants : digit1
- les 4 suivants : digit2
- les 4 suivants : digit3
- les 4 suivants : digit4

Les valeurs à afficher sont envoyées en code BCD et sont converties par le composant en code 7 segments

$\overline{ENB} = 0$ pour valider les données, elles sont transférées en sortie sur front montant de \overline{ENB} .
Les données sont décalées sur front descendant de CLK.

D.4 Etude du programme gérant l'affichage.

D.4.1 Lignes 1 à 17 : déclarations qui permettront de faire les conversions BCD/7 segments.

Lignes 18 à 20 : définition des constantes utilisées dans le programme

Lignes 21 à 40 : définition des variables utilisées dans le programme

Lignes 41 à 43 : vecteur d'initialisation

Lignes 44 à 75 : sous-programme d'interruption

Lignes 76 à 107 : Initialisation des différents registres

Lignes 108 à fin : Programme principal de gestion de l'affichage.

D.4.2 Interruption

D.4.2.1 Une interruption est un événement matériel ou logiciel venant stopper le programme principal à un endroit, allant gérer le programme d'interruption et revenant ensuite là où il s'était arrêté (si l'interruption demandée était autorisée).

D.4.2.2 Un vecteur d'interruption est l'adresse du mapping mémoire vers laquelle le programme va pointer lors d'une demande d'interruption.

D.4.2.3 Le programme va aller effectuer le programme écrit à l'adresse 4. (org 4)

D.4.3 Analyse du programme donné de la partie START à MAIN .

Ligne 77 : indique que nous travaillons avec la banque 1

Lignes 78 et 79 : Le port A fonctionne en digital

Lignes 80 à 84 : initialisation à 0 des ports A, B et C

Lignes 85 à 90 : Les ports A et C fonctionnent en sorties, les bits 0 à 2 du port B fonctionnent en entrées et les bits 3 à 7 en sorties.

Lignes 90 à 93 : option = 0000 0100 ; Fonctionnement du timer 0 : le ratio de TMR0 est de 1/32, l'horloge du timer fonctionne avec l'horloge interne, Il y a interruption sur front descendant de RB0.

Lignes 94 à 96 : intcon = 1011 0000 ; ce registre concerne les interruptions, validation de l'interruption externe sur RB0, validation de l'interruption pour TMR0, Validation de toutes les interruptions.

Lignes 97 et 98 : TMR0 = 78 ; initialisation du timer 0 ,
 $256 - 78 = 178$ cycles sachant qu'un cycle fait $32 * 0.4 = 12.8 \mu s$ soit 2.2784ms qui correspond au temps de rafraîchissement (soit une fréquence de 110 Hz) ce qui convient pour l'œil.

Lignes 99 et 100 : DISPLAY = FE ; initialisation sur le premier afficheur.

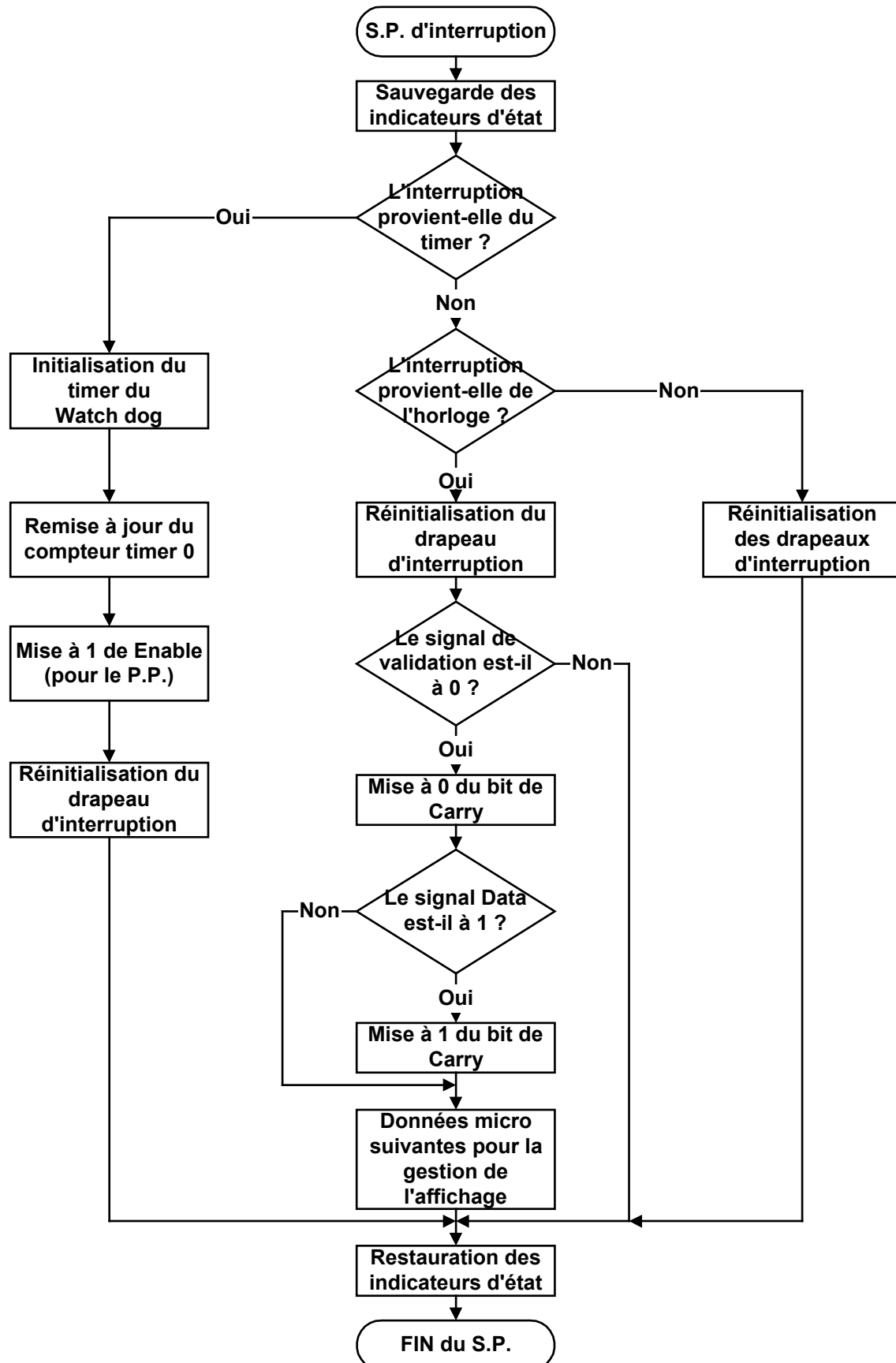
Lignes 101 et 102 : edgenab = 0 et saupind = 0

Lignes 103 à 107 : $s_{\text{audig}1} = s_{\text{audig}2} = s_{\text{audig}3} = s_{\text{audig}4} = 0000\ 1111$: aucun afficheur n'est sélectionné.

D.4.4 Analyse du sous-programme d'interruption.

D.4.4.1 Le sous-programme d'interruption se situe à l'adresse 4 (org 4).

D.4.4.2



D.4.4.3 La demande d'interruption peut provenir soit de la fin du timer0, soit de la clock.

Si elle provient du timer0, on remet TMR0 à 78 et on impose intflag à 1 qui sera pris en compte par le programme principal.

Si elle provient de la clock, on vérifie que enable = 0, il y a alors rotation vers la gauche mode, bcddigit et pointdec : on réactualise l'ensemble des données à transmettre aux afficheurs.

D.4.5 Valeurs numériques.

D.4.5.1 La fréquence du quartz est de 10Mhz. La période d'horloge est donc $0.1 = 0.1\mu s$ et celle d'un cycle d'instruction est $0.4\mu s$.

D.4.5.2 La durée correspondant à l'incrémentaire unitaire du timer est de $4*0.1*32 = 12.8\mu s$.

La valeur de départ du timer0 est 78. Le temps écoulé sera donc :

$256 - 78 = 178$ cycles soit $2.2784ms$ qui correspond au temps de rafraîchissement (multiplexage) ce qui convient pour l'œil.

D.4.6 Etude du programme à partir de la partie AFFICH.

- bcddigit correspond aux valeurs des afficheurs 7 segments. bcddigit va être mémorisé dans savbcd.
- ledsmode correspond aux valeurs à afficher dans les diodes électroluminescentes. ledsmode va ensuite s'appeler mode qui sera mémorisé dans savmode.

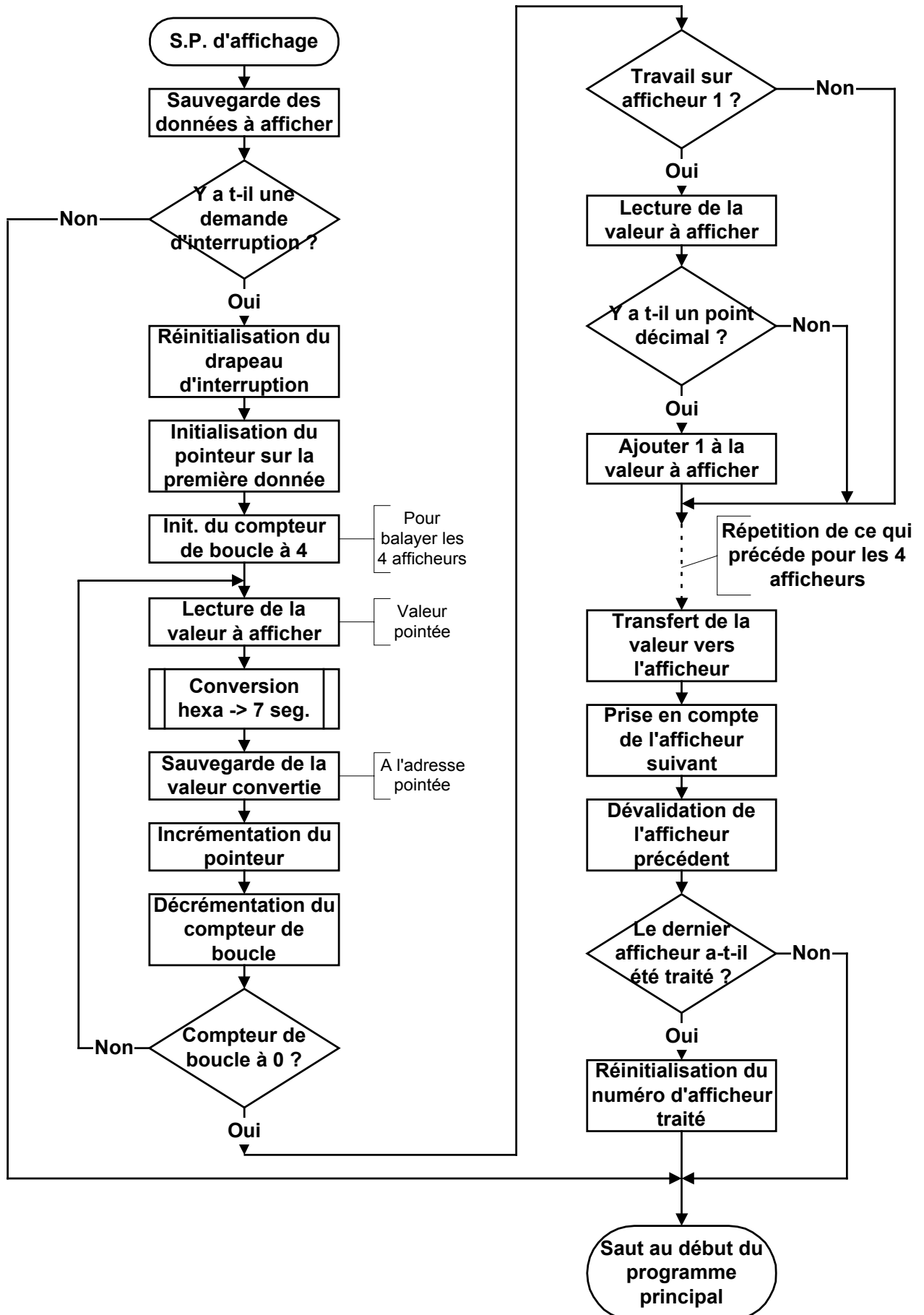
D.4.6.1 Voir page suivante.

D.4.6.2 Cette partie de programme gère les données à afficher et les afficheurs. Il réalise le démultiplexage des données par rapport à l'afficheur à prendre en compte c'est-à-dire qu'il gère l'affichage multiplexé.

Au départ, le programme prend en compte toutes les valeurs à afficher, puis il vérifie que le temps d'affichage pour l'afficheur actuellement allumé est terminé ou non, lorsque celui-ci est terminé, il convertit les données précédentes (qui sont en hexadécimal) en code 7 segments, vérifie quel est l'afficheur concerné et affiche ces valeurs sur l'afficheur concerné.

Intflag permet de savoir si le temps d'affichage d'un afficheur est passé ou non. (drapeau d'interruption).

Question D.4.6.1



Partie E : Gain en puissance de l'amplificateur HF.

E.1 Notion de puissance incidente et de puissance réfléchie.

$$\varepsilon.1.1 \quad \underline{P} = \frac{1}{2} \cdot \underline{U} \cdot \underline{I} \quad \text{ou} \quad \underline{P} = \frac{1}{2} \cdot \Re(\underline{U} \cdot \underline{I}^*)$$

$$\text{Aux bornes de } Z_{ch}, \quad \underline{V}_s = \underline{E}_g \cdot \frac{\underline{Z}_{ch}}{\underline{Z}_g + \underline{Z}_{ch}}; \quad \underline{I}_{ch} = \frac{\underline{V}_s}{\underline{Z}_{ch}}$$

$$\underline{P}_t = \frac{1}{2} \underline{E}_g \cdot \frac{\underline{Z}_{ch}}{\underline{Z}_{ch} + \underline{Z}_g} \cdot \frac{\underline{E}_g^*}{(\underline{Z}_g + \underline{Z}_{ch})^*} = |\underline{E}_g|^2 \cdot \frac{\underline{Z}_{ch}}{|\underline{Z}_g + \underline{Z}_{ch}|^2}$$

$$P_t = \Re(\underline{P}_t) = \frac{1}{2} \cdot |\underline{E}_g|^2 \cdot \frac{\Re(\underline{Z}_{ch})}{|\underline{Z}_g + \underline{Z}_{ch}|^2}$$

$$\text{La puissance sera maximale lorsque } \underline{Z}_{ch} = \underline{Z}_g \text{ donc } \underline{P}_i = \frac{1}{2} \cdot |\underline{E}_g|^2 \cdot \frac{\underline{Z}_g}{|2\underline{Z}_g|^2} = \frac{1}{8} \cdot \frac{|\underline{E}_g|^2}{\underline{Z}_g^*}$$

$$P_i = \Re(\underline{P}_i) = \frac{|\underline{E}_g|^2}{8\Re(\underline{Z}_g)}$$

E.2 Paramètres S d'un quadripôle.

$$\varepsilon.2.1 \quad \underline{S}_{11} = \frac{b_1}{a_1} \quad \text{quand } \underline{a}_2 = 0 \quad \text{Réflexion en entrée quand la sortie est adaptée}$$

$$\underline{S}_{12} = \frac{b_1}{a_2} \quad \text{quand } \underline{a}_1 = 0 \quad \text{Transmission de la sortie vers l'entrée quand l'entrée est adaptée}$$

$$\underline{S}_{21} = \frac{b_2}{a_1} \quad \text{quand } \underline{a}_2 = 0 \quad \text{Transmission de l'entrée vers la sortie quand la sortie est adaptée}$$

$$\underline{S}_{22} = \frac{b_2}{a_2} \quad \text{quand } \underline{a}_1 = 0 \quad \text{Réflexion en sortie quand l'entrée est adaptée}$$

E.3 Identification de l'amplificateur RF.

ε.3.1 Il se trouve à l'intérieur du SA601, c'est le LNA. Il est situé après l'antenne et le premier filtre 433Mhz et avant le second filtre 433Mhz.

ε.3.2 Page 8 de la documentation du SA601 nous trouvons les valeurs suivantes :

	f = 400 Mz	f = 500 Mhz	f = 433 Mhz
--	------------	-------------	-------------

$\underline{Z}(S_{11})$	$36.43\Omega - j 70.445\Omega$	$30.395\Omega - j 48.393\Omega$	$34.438\Omega - j 63.168\Omega$
$\underline{Z}(S_{22})$	$58.725\Omega - j 50.83\Omega$	$49.928\Omega - j 38.813\Omega$	$55.822\Omega - j 46.864\Omega$
$\underline{Z}(S_{21})$	$5.3895 \angle 130.33^\circ$	$5.0428 \angle 120.5^\circ$	$5.2751 \angle 127.09^\circ$
$\underline{Z}(S_{12})$	$58.082 \cdot 10^{-3} \angle 67.162^\circ$	$66.44 \cdot 10^{-3} \angle 66.388^\circ$	$60.840 \cdot 10^{-3} \angle 66.907^\circ$

On a l'équation suivante : $\underline{x}_{433} = \underline{x}_{400} + \frac{33}{100} \cdot (\underline{x}_{500} - \underline{x}_{400})$

D'où les valeurs données ci-dessus dans la colonne 433Mhz

Exemple : $\underline{Z}(S_{11433}) = 36.43 - j70.445 + 0.33(-6.035 + j22.052) = 34.438 - j63.168$

$$\begin{aligned} \text{E.3.3} \quad s_{11} &= \frac{\underline{Z}(s_{11}) - 50}{\underline{Z}(s_{11}) + 50} = \frac{34 - 50 - j62.8}{34 + 50 - j62.8} = \frac{-16 - j62.8}{84 - j62.8} = \frac{64.806 \angle -104.3^\circ}{104.88 \angle -36.78^\circ} = 0.6179 \angle -67.52^\circ \\ &= 0.236 - j0.571 \\ s_{22} &= \frac{\underline{Z}(s_{22}) - 50}{\underline{Z}(s_{22}) + 50} = 0.209 - j0.356 \end{aligned}$$

E.4 Gain en puissance de l'amplificateur non adapté.

E.4.1 \underline{Z}_g et \underline{Z}_{ch} sont égales aux impédances de caractérisation du quadripôle donc $a_2 = 0$ donc

$$G_T = |s_{21}|^2$$

Application numérique : $G_T = 29.16$ donc $G_T = 14.65$ dB

E.4.2 Pour avoir adaptation en entrée il faut $\underline{\rho}_e = s_{11}^*$ soit $\underline{Z}_g = \underline{Z}^*(s_{11}) = 34\Omega + j62.8\Omega$

Pour avoir adaptation en sortie il faut $\underline{\rho}_s = s_{22}^*$ soit $\underline{Z}_{ch} = \underline{Z}^*(s_{22}) = 55.1\Omega + j47.4\Omega$

E.5 Gain en puissance de l'amplificateur adapté.

$$\text{E.5.1} \quad \underline{\rho}_s = \frac{\underline{Z}_g - R_0}{\underline{Z}_{ch} + R_0} = \frac{b'_2}{a'_2} \quad \text{or} \quad b_2 = a'_2 \text{ et } a_2 = b'_2 \quad \text{donc} \quad \underline{\rho}_s = \frac{a_2}{b_2}$$

E.5.2 a. Lorsque l'on passive \underline{E}_g :

$$\underline{\rho}_e = \frac{\underline{Z}_g - R_0}{\underline{Z}_g + R_0} \quad ; \quad \underline{\rho}_e = \frac{b'_1}{a'_1}$$

b. Lorsque l'on passive \underline{V}_{01} :

$$\text{alors } a'_1 = 0 \text{ ; la puissance dans } R_0 \text{ vaut : } P = \frac{\underline{E}_g R_0}{R_0 + \underline{Z}_g} \cdot \frac{\underline{E}_g^*}{(R_0 + \underline{Z}_g)^*} = \frac{|\underline{E}_g|^2 R_0}{|R_0 + \underline{Z}_g|^2}$$

$$\text{donc } b'_1 = \frac{Eg\sqrt{R0}}{R0 + \underline{Zg}}$$

c. par superposition, on trouve :

$$b'_1 = \frac{Eg\sqrt{R0}}{R0 + \underline{Zg}} + \underline{\rho_e} a'_1 \text{ et } a_1 = b'_1 \text{ et } b_1 = a'_1 \text{ d'où :}$$

$$a_1 = \underline{\rho_e} b_1 + \frac{Eg\sqrt{R0}}{R0 + \underline{Zg}}$$

$$\mathcal{E.5.3} \quad G_T = \frac{|a'_2|^2 - |b'_2|^2}{4\Re(\underline{Zg})} = \frac{|b_2|^2 - |a_2|^2}{|Eg|^2} \cdot 4\Re(\underline{Zg}) = (1 - |\underline{\rho_s}|^2) \cdot \frac{|b_2|^2}{|Eg|^2} \cdot 4\Re(\underline{Zg})$$

$$\mathcal{E.5.4} \quad \underline{b}_1 = \underline{s}_{11} a_1 + \underline{s}_{12} a_2$$

$$\underline{b}_2 = \underline{s}_{21} a_1 + \underline{s}_{22} a_2$$

$$\text{donc } \underline{b}_1 = \underline{s}_{11} a_1 + \underline{s}_{12} \underline{\rho_s} b_2$$

$$\underline{b}_2 = \underline{s}_{21} a_1 + \underline{s}_{22} \underline{\rho_s} b_2$$

$$\text{d'où } \underline{b}_2 = \frac{\underline{s}_{21} \cdot \frac{Eg\sqrt{R0}}{R0 + \underline{Zg}}}{(1 - \underline{s}_{22} \underline{\rho_s})(1 - \underline{\rho_e} \underline{s}_{11}) - \underline{s}_{12} \underline{s}_{21} \underline{\rho_s} \underline{\rho_e}}$$

$$\text{d'où } \frac{|b_2|^2}{|Eg|^2} \cdot 4\Re(\underline{Zg}) = \frac{|\underline{s}_{21}|^2 \cdot \frac{R0 \cdot 4\Re(\underline{Zg})}{|R0 + \underline{Zg}|^2}}{\left| (1 - \underline{s}_{22} \underline{\rho_s})(1 - \underline{\rho_e} \underline{s}_{11}) - \underline{s}_{12} \underline{s}_{21} \underline{\rho_s} \underline{\rho_e} \right|^2} \text{ sachant que } \frac{R0 \cdot 4\Re(\underline{Zg})}{|R0 + \underline{Zg}|^2} = 1 - |\underline{\rho_e}|^2$$

donc

$$G_T = (1 - |\underline{\rho_s}|^2) \cdot \frac{|b_2|^2}{|Eg|^2} \cdot 4\Re(\underline{Zg}) = (1 - |\underline{\rho_s}|^2) (1 - |\underline{\rho_e}|^2) |\underline{s}_{21}|^2 \cdot \frac{1}{\left| (1 - \underline{s}_{22} \underline{\rho_s})(1 - \underline{\rho_e} \underline{s}_{11}) - \underline{s}_{12} \underline{s}_{21} \underline{\rho_s} \underline{\rho_e} \right|^2}$$

donc

$$G_T = \frac{|\underline{s}_{21}|^2 \cdot (1 - |\underline{\rho_e}|^2) \cdot (1 - |\underline{\rho_s}|^2)}{\left| (1 - \underline{\rho_s} \cdot \underline{s}_{22})(1 - \underline{\rho_e} \cdot \underline{s}_{11}) - \underline{\rho_e} \cdot \underline{\rho_s} \cdot \underline{s}_{12} \cdot \underline{s}_{21} \right|^2}$$

$\mathcal{E.5.5}$ Lors de la double adaptation, nous avons : $\underline{\rho_e} = \underline{s}_{11}^*$ et $\underline{\rho_s} = \underline{s}_{22}^*$.

$$G_T = \frac{|s_{21}|^2 \cdot (1 - |s_{11}|^2) (1 - |s_{22}|^2)}{\left| (1 - |s_{22}|^2) (1 - |s_{11}|^2) - s_{11}^* \cdot s_{22}^* \cdot s_{12} \cdot s_{21} \right|^2}$$

avec $s_{11} = 0.236 - j0.571$ et $s_{22} = 0.209 - j0.356$ trouvés à la question E3.3, nous obtenons :

$$G_T = 43.95 \text{ soit } 16.43\text{dB}$$

E.5.6 Nous pouvons nous permettre une atténuation de 2dB de plus donc :

$A_{t2} = A_{t1} + 2\text{dB}$; ce qui donne : $D2 = 1.259 \cdot D1$ soit 19m

L'adaptation nous permet de gagner 4m de distance soit 26% en plus.

Partie F : Cellules d'adaptation.

F.1 L'outil « abaque de Smith ».

F.1.1 On a : $p + jq = \frac{r-1+jx}{r+1+jx}$ donc

$$p(r+1) + j(q(r+1) + px) - qx = r-1 + jx \text{ d'où :}$$

$$(r+1)p - r + 1 - qx = 0$$

$$(r+1)q + x(p-1) = 0$$

donc

$$x = \frac{(r+1)q}{1-p} \text{ si } p \neq 1.$$

D'où : $\left(p - \frac{r}{r+1}\right)^2 + q^2 = \left(\frac{1}{1+r}\right)^2$ donc un cercle de rayon $\frac{1}{1+r}$ et de centre $\left(\frac{r}{1+r}; 0\right)$

F.1.2 Cette fois on a $r = \frac{(1-p)x}{q} - 1$

D'où : $(p-1)^2 + \left(q - \frac{1}{x}\right)^2 = \frac{1}{x^2}$ donc un cercle de rayon $\frac{1}{x}$ et de centre $\left(1; \frac{1}{x}\right)$

F.1.3 B est la symétrique de A par rapport à l'axe OX.

F.1.4 C est la symétrique de A par rapport à O.

F.2 Adaptation à la sortie du filtre hélicoïdal L4.

F.2.1 Voir DR6.

$$\underline{z}(s_{11}) = \frac{\underline{Z}(s_{11})}{50} = \frac{1}{50} \cdot (9.843 + j5.269) = 0.197 + j0.105$$

Le point A est l'intersection du cercle des résistances de 0.2 et du cercle des réactances de 0.1

F.2.2 Voir DR6.

$$\underline{Z}_{c1} = -j.21.75 \text{ soit } \underline{z}_{c1} = -j.0.435 \text{ donc } \underline{y}_{c1} = 2.3j$$

C1 est en parallèle sur l'entrée du mixer c'est donc la symétrique de A par rapport à O soit A' et on ajoute 2.3j pour trouver la somme soit B' puis à nouveau la symétrique pour trouver B.

F.2.3 Voir DR6.

$$\underline{z}_{l2} = 0.44j$$

On obtient donc le point C en ajoutant 0.44j au point B.

F.2.4 Voir DR6.

Ensuite, il faut faire la symétrique C' pour ajouter l'admittance \underline{y}_{c3} qui est égale à j.1.74

On obtient alors le point D' dont on fait la symétrie par rapport à O pour trouver le point D représentant l'impédance de charge du filtre L4.

F.2.5 L'impédance de charge du filtre L4 vaut donc 50Ω puisqu'on se retrouve au centre de l'abaque de Smith.

Le constructeur caractérise son filtre pour une impédance de charge de 50Ω . Les caractéristiques ne seront donc pas modifiées dans notre cas.

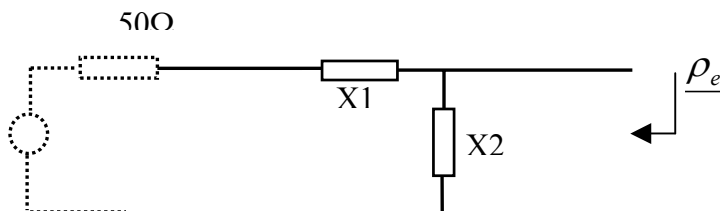
F.3 Cellules d'adaptation de l'amplificateur RF.

F.3.1 Pour garantir les caractéristiques des filtres, ils doivent être "attaqués" par 50Ω et "chargés" par 50Ω .

F.3.2 L'antenne est adaptée à 50Ω , donc le premier filtre est dans les conditions optimales, il présente donc en sortie une impédance de 50Ω .

L'antenne avec le filtre est équivalent à un générateur avec une impédance de 50Ω .

F.3.3



$X1$ et $X2$ sont des réactances. Pour avoir un filtre passe-haut, il faut avoir un condensateur en

série donc $X1 = \frac{1}{jC1\omega}$

F.3.4 Voir DR7.

L'ensemble Antenne + filtre1 et cellule d'adaptation doit présenter un coefficient de réflexion de ρ_e . Il faut placer ρ_e sur l'abaque de Smith, c'est le point à atteindre. Le point de départ est le centre (50Ω) qui correspond à l'impédance équivalente de l'antenne + filtre1.

$$\rho_e = 0.236 + 0.571j = 0.618 \angle 67.5^\circ$$

Le tracé donne : $jx1 = -1.35j$: capacité

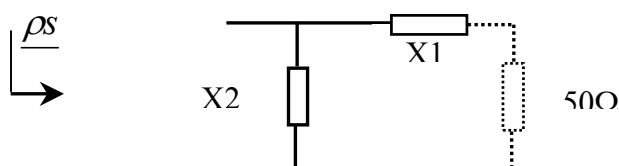
$$jy2 = -j(0.48 + 0.6) = -j1.08 : \text{inductance}$$

Nous trouvons : $C1 = 5.4\text{pF}$ et $L2 = 17\text{nH}$

F.3.5 Z_e (mixer) devrait être égale à 50Ω .

F.3.6 Le circuit équivalent est une résistance de 50Ω si le filtre est chargé par 50Ω

F.3.7



$X1$ doit être une capacité.

$$\mathcal{F}.3.8 \quad \underline{\rho_s} = 0.209 + j 0.357 = 0.414 \angle 59.6^\circ$$

Si on choisit pour X1 une capacité, $jx1 = -j1$; $jy2 = -j(0.5+0.44) = -j 0.94$ donc $jx2 = j 1.064$

Nous trouvons C1 = 7.35pF et L2 = 19.5nH

Partie G : Circuit logique programmable.

G.1 Généralités.

G.1.1 Il s'agit du composant U15 qui est un FPGA A213700/0

FPGA : Field Programmable Gate Array : Circuit complexe composé de blocs logiques programmables que l'on peut relier les uns aux autres. C'est un circuit prédéfini programmable.

G.1.2 Ce genre de circuit permet une évolution et ou une personnalisation du système. Il permet une simplification du circuit imprimé et du câblage.

G.1.3 Nous parlerons uniquement des circuits programmables par l'utilisateur.

PLD : Programmable Logic Device : Circuit logique programmable

PAL : Programmable Array Logic : Circuits logiques dont les combinaisons de ET sont programmables et les OU sont fixes.

PLA : Programmable Logic Array : Circuit logiques dont les combinaisons de OU sont programmables

GAL : Generic Array Logic : Idem à des PAL mais reprogrammables.

EPLD : Erasable Programmable Logic Device : Circuits logiques reprogrammables.

CPLD : Complex Programmable Logic Device : Circuits plus complexes , ils peuvent être constitués de plusieurs circuits de type GAL

FPGA : voir précédemment.

G.1.4 Nous pouvons décrire les fonctions internes par :

- *un langage de programmation de haut niveau : exemple : le VHDL*
- *un schéma structurel utilisant des fonctions ou des circuits de la logique câblée*
- *une synthèse comportementale (chronogrammes)*

G.2 Diviseur de fréquence.

G.2.1 La structure réalisant le 1Mhz est un diviseur par 4 situé page21. Les autres fréquences se trouvent sur la page 20.

G.2.2 Il s'agit de logique séquentielle asynchrone : risque d'aléas ou d'états transitoires indésirés, accumule les temps de propagation et limite la fréquence maximale d'utilisation.

G.2.3 Voir DR9.

G.3 Structure monostable.

G.3.1 Voir DR10.

G.3.2 Le monostable n'est pas redéclenchable , une fois le comptage autorisé, INMONOS met à 1 la bascule qui est déjà à 1 donc il n'y a aucun effet sur le comptage en cours.

G.3.3

```

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity mono is
    port (
        F500,NRAZ,INMONOS : in STD_LOGIC;
        BUZZER : out STD_LOGIC );
end mono;

architecture mono_arch of mono is
    signal START: STD_LOGIC;
    signal N: STD_LOGIC_VECTOR(6 downto 0);
begin
    process(F500,NRAZ)
    begin
        if NRAZ='0' then N<="0000000"; START<='0';
        elsif F500='1' and F500'event then
            if N="1111111" then START<='0';
            elsif N="0000000" and INMONOS='1' then START<='1';
            end if;
            if START='1' then N<=N+'1';
            end if;
        end if;
    end process;

    BUZZER <= '0' when N="0000000" else '1';
end mono_arch;

```

G.4 Réception du mot de 8 bits transmis par l'émetteur.

G.4.1 Les données arrivent en série sur l'entrée IN1000 du FPGA. Une horloge synchrone (reconstituée) F1000 cadence un registre à décalage de 11 bits créé à l'aide de 11 bascules D. La parité est ensuite vérifiée.

La structure récupère 11 bits (D1 à D11 sur le schéma). Les 8 bits utiles sont D3 à D10, D2 correspond à la parité et enfin D1 représente l'état de la probe et D11 l'ancien état.

G.4.2 On utilise une PLL (U7+U8+FPGA) et un diviseur de fréquence 1:512. Lorsque la PLL est verrouillée, on retrouve F500 synchrone avec le signal reçu RX500 donc F1000 synchrone avec RX500 mais de fréquence 2 fois plus grande.

Le signal RX500 était lui issu de l'horloge d'envoi dont la fréquence est divisée par 2 pour pouvoir être transmise (donc 1Khz au départ).

F1000 est donc bien l'image de l'horloge d'émission.

$F1000 = F256 / 2^8$ donc $F256 = F1000 \cdot 2^8 = 976 * 256 = 250 \text{ Khz}$.

Ce signal sert d'horloge au décompteur qui va transformer le mot de 8 bits reçu en temps, qui est le résultat de la mesure faite.

G.4.3 $C33 = C1 = 220\text{pF}$; $R35 = R1 = 68\text{k}\Omega$; $R34 = R2 = 47\text{-}100\text{k}\Omega$; $V_{dd} = 5\text{V}$

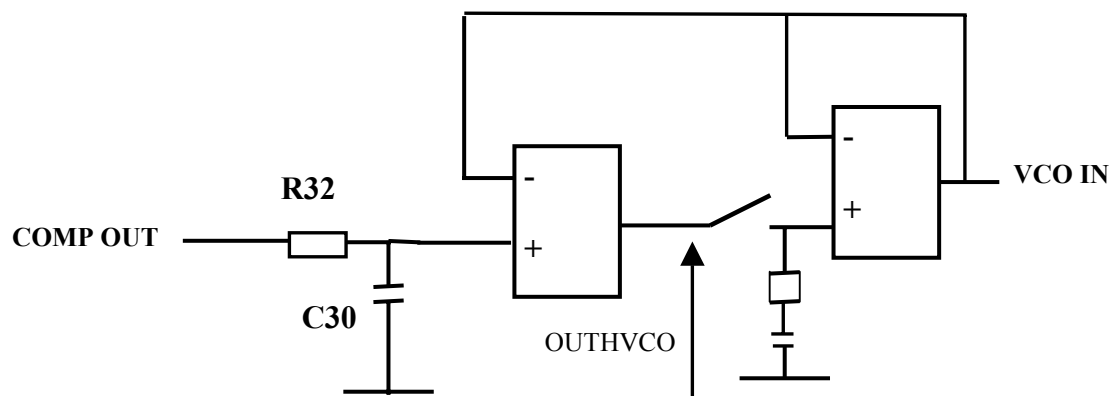
Nous trouvons une fréquence Offset d'environ 50 à 100 Khz d'après les courbes page 4.

Nous avons $\frac{f_{\max}}{f_{\min}} = 1.5$ pour $\frac{R2}{R1} = 0.7$

Donc : $f = 50$ à 75 khz ... 100 à 300 khz en fonction de R2 pour $V_{COin} = 0 \dots 5\text{V}$

D'après ces résultats, on pourra bien verrouiller la PLL sur 250khz.

G.4.4



G.4.5 *Lorsque le signal OUTHVCO=0, la PLL est ouverte, on conserve la même fréquence que celle juste avant l'ouverture (mémoire). Lorsque OUTHVCO=1, on se resynchronise.*

G.4.6 *Les composants R32 et C30 servent au filtre de la PLL. $f_c = \frac{1}{2\pi RC} = 16\text{hz}$.*